

— Informatik I, Teil 2 —

Technische Grundlagen der Informatik: Rechnerstrukturen und -organisation

Prof. Dr. Burkhard Stiller

Communication Systems Group CSG

Department of Informatics IFI, University of Zürich UZH

Binzmühlestrasse 14, CH-8050 Zürich, Switzerland

Phone: +41 44 635 6710, FAX: +41 44 635 6809

E-Mail: stiller@ifi.uzh.ch



**Universität
Zürich** UZH

Assistants:

Martin Waldburger, Fabio Hecht

Phone: +41 44 635 [4304/7129], FAX: +41 44 635 6809

E-Mail: [\[waldburger|hecht\]@ifi.uzh.ch](mailto:[waldburger|hecht]@ifi.uzh.ch)



Motivation

- ❑ Viele neue computerbasierte Geräte sollen den Alltag erleichtern:
 - Handheld/wearable computer
- ❑ Rechner werden „unsichtbar“ und nehmen in der Zahl massiv zu:
 - Intelligente Kleidung, allgegenwärtige Systeme, integrierte Steuerungen
- ❑ Alles kommuniziert mit Allem:
 - Funknetze, Handys, Bluetooth, UMTS, Glasfaser, WWW/WAP
- ❑ Integrierte Schaltungen, Chips sind Mitgestalter des zukünftigen wirtschaftlichen Geschehens:
 - Boom/Flaute der Hardware-Industrie beeinflusst Politik und Gesellschaft



Beispiel: Informationstechnik im Auto

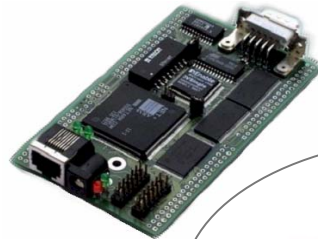
- Notfalldienste
- Diebstahlschutz
- Kommunikation (e-mail, WWW, SMS, GSM, ...)
- Informationsdienste
- Ferndiagnose, Fernwartung
- Navigation, Routenplanung
- Motorsteuerung, ABS, ESP, ...



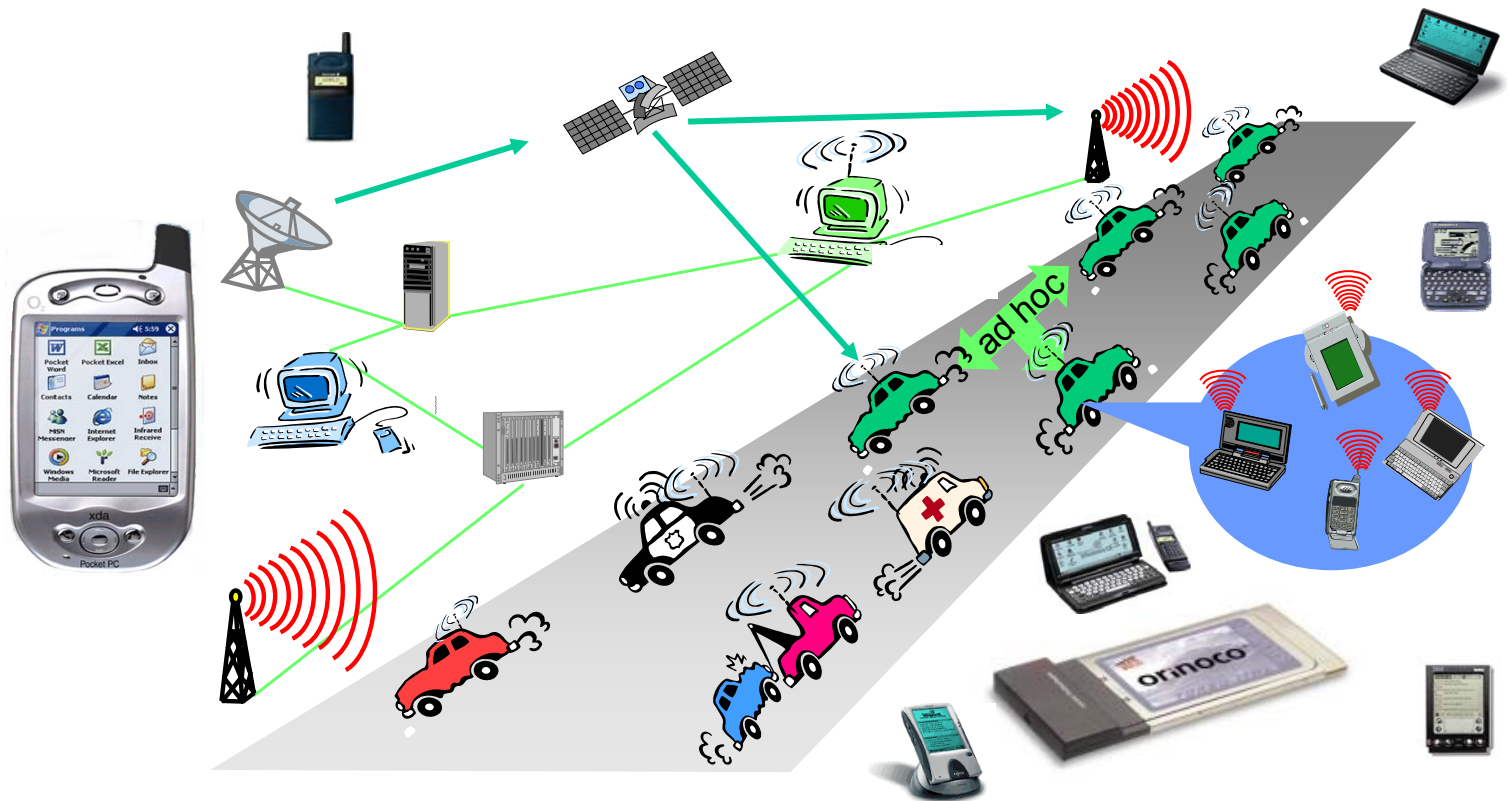
...oder in der Nähmaschine!



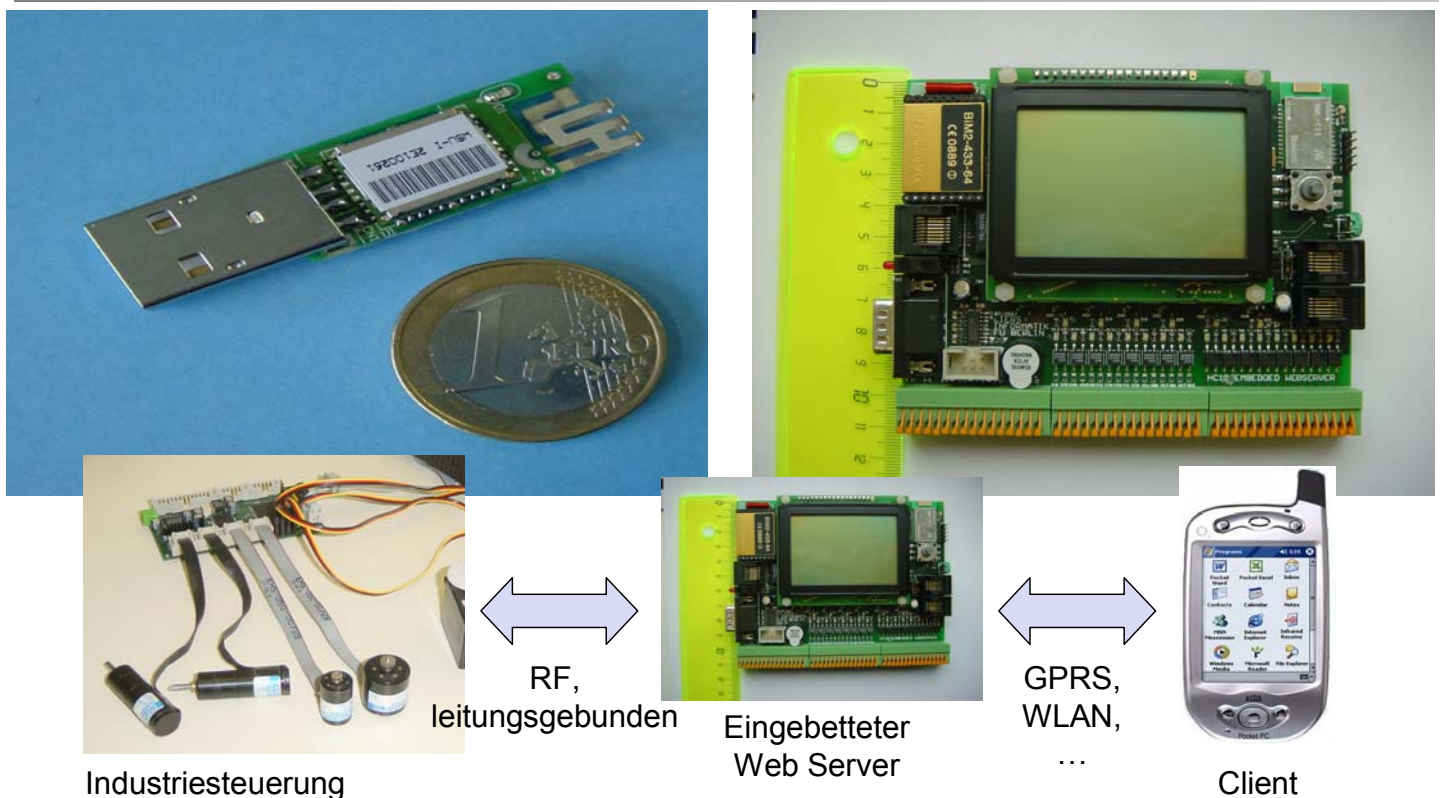
Beispiel: Kommunikationstechnik in Verkehrsmitteln



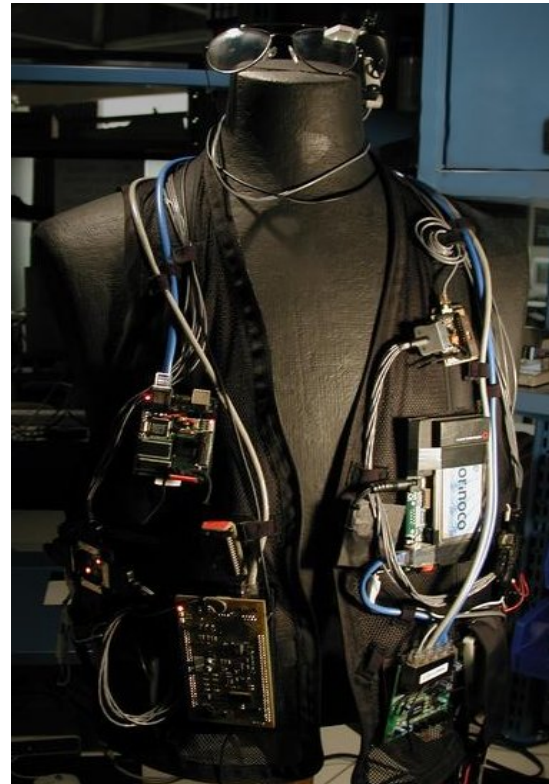
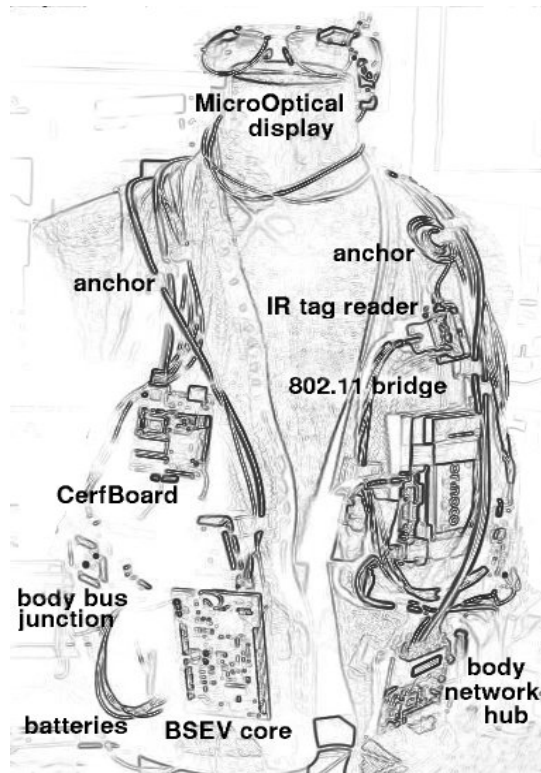
Beispiel: Mobilität & Kommunikation



Beispiele: Bluetooth-Modul, Web-Server, ...



Beispiel: Wearable Computers, z.B. MIThril



© 2010 Burkhard Stiller

M1 – 7

ifi

Ziele des zweiten Teils der Vorlesung Informatik I

- ❑ **Informatik heißt *nicht nur* „Programme und PCs“:**
 - Kompetenz im Systemdenken: hierzu gehört ebenso eine fundierte Kenntnis in Hardware, Rechnerarchitekturen und technischen Grundlagen
- ❑ Problemlösungen erfordern meist eine Kombination aus Hardware und Software:
 - Vielfältige Randbedingungen (Preis, Betriebstemperatur, Leistung, ...) können z.B. eine spezielle Rechnerarchitektur erfordern
- ❑ Das Grundverständnis datenverarbeitender Systeme ist die Grundlage für korrektes Bewerten ihrer Leistungsfähigkeit.
- ❑ Rechnerstrukturen:
 - Legt die Grundlagen für den Bereich der Technischen Informatik (Hardware)
 - Deckt den Bereich von der Logik zu einfachsten CPUs ab
- ❑ Rechnerorganisation (und deren Nutzung):
 - Zeigt Systemarchitekturen (wie) und Befehlssätze (was)
 - Umfaßt Betriebssystemfunktionen, Organisation von Computern, Kommunikation

© 2010 Burkhard Stiller

M1 – 8

ifi

Rechnerstrukturen und -organisation (1)

- Motivation und Einführung
- Rechnerarithmetik (1)
 - Zahlensysteme
 - Zahlendarstellung
- Schaltnetze
 - Einführung in die formalen Grundlagen logischer Beschreibungen
 - Realisierung von Schaltnetzen auf Schalter und Gatterebene
 - Entwurf von Schaltnetzen und Laufzeiteffekte bei Schaltnetzen
- Schaltwerke
 - Formale Grundlagen (Endliche Automaten)
 - Asynchrone Schaltwerke und Flipflops
 - Synchrone Schaltwerke
 - Register-Transfer-Ebene
 - Spezielle Schaltwerke
- Rechnerarithmetik (2)
 - Grundrechenarten
 - Arithmetisch-Logische Einheit (ALU)

Rechnerstrukturen und -organisation (2)

- Rechnerarchitekturen und -organisation
 - Klassische von-Neumann-Architektur
 - Aufbau und Funktionsweise
 - Befehlsformate, Datentypen, Adressierungsarten
 - Nichtlineare Programmausführung
 - Speicher/Caches
 - Organisation
 - Komponenten
 - Busse
 - Anschlüsse
 - Peripherie
 - Technologieentwicklung
- Betriebs- und Kommunikationssysteme
 - Definitionen und Aufgaben
 - Auftrags- und Speicherverwaltung
 - Einlagerung, Zuweisung und Ersetzung
 - Kommunikation über geographische Grenzen

Organisatorisches

Termine und Aktuelles

- Vorlesung im HS 10:
 - Dienstag, den 16., 23., 30.11 und 14.12.:
12.15-13.45 Uhr (ohne Pause) **KOL-F-118**
 - Mittwoch, den 17., 24.11., 1. und 15.12.:
12.15-13.30 Uhr, 15 min Pause, 13.45-14.45 Uhr **BIN 0.K.02**

- Sprechstunde:
 - Prof. Dr. Burkhard Stiller: mittwochs 10-11 Uhr
 - **Nur nach Voranmeldung** bei Frau Evelyne Berger (berger@ifi.uzh.ch)
 - Martin Waldburger per E-Mail: waldburger@ifi.uzh.ch
 - Fabio Hecht per E-Mail: hecht@ifi.uzh.ch (in Englisch)
 - Tutoren: in den Tutorien und nach Vereinbarung

- Aktuelles ist zu finden unter:
 - <http://seal.ifi.uzh.ch/info1/>

Übungsbetrieb und Übungsblätter

- Übungsbetrieb:
 - Wie aus Teil I bekannt wird fortgefahren
 - **Vier** Übungen sind für den Teil II vorgesehen
 - **Ein** Zwischentest Nr. 3 wird durchgeführt

- **Achtung!**
 - Alle Übungsblätter finden sich im Netz (nur von universitätsinterner Adresse abrufbar)
 - Übungsblätter werden in Papierform NICHT abgegeben

Literatur zur Vorlesung

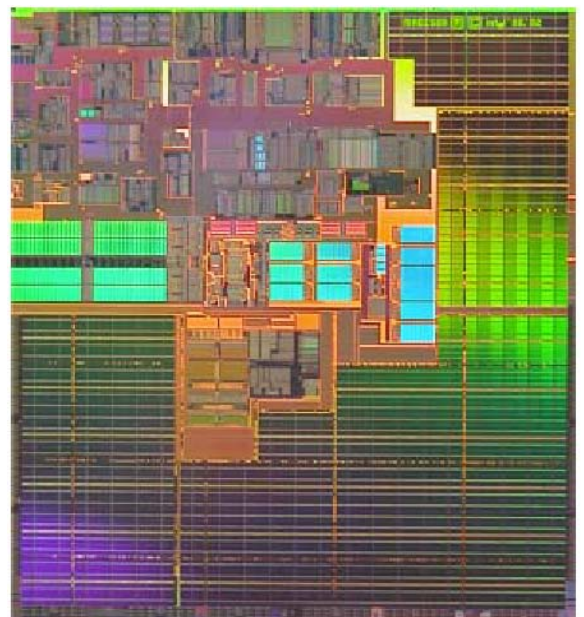
- Folienkopien zur Vorlesung:
 - Auf dem Netz (nur von universitätsinterner Adresse abrufbar)
- Literaturempfehlungen:
 - **H. Herold, B. Lurz, J. Wohlrab: Grundlagen der Informatik, Pearson Studium, München, 2006, ISBN-13 978-3-8273-7216-1**
 - **B. Becker, R. Drechsler, P. Molitor: Technische Informatik – Eine Einführung, Pearson Studium, München, 2005, ISBN 3-8273-7092-2**
 - **URLs: Karnaugh-Veitch-Diagramme**
<http://ti.itec.uka.de/KVD/> (Universität Karlsruhe)
 - **A. S. Tanenbaum: Moderne Betriebssysteme (Kap. 1 – 4)**
2. Auflage, Pearson Studium, München, 2005, ISBN 3-8273-7019-1
- Vielen Dank:
 - Prof. Dr. Jochen Schiller, FU Berlin und weiteren Kollegen für das Überlassen des Folienmaterials und der Möglichkeit dieses für Info I der UZH anzupassen!
 - Pearson Studium und den jeweiligen Buchautoren für die Überlassung von Folienmaterial für verschiedene Vorlesungskapitel.

Einführungen und technische Entwicklungen

Mikroprozessoren – Die Formel 1

- “Das Wettrennen um die schnellsten Mikroprozessoren könnte man als Formel 1 der Computertechnik bezeichnen.”
(Die ZEIT vom 18. März 1994)

- Die **Leistungssteigerung** bei Mikroprozessoren ist durch folgende Fortschritte erreicht worden:
 - durch Steigerung der Gatterzahl auf dem Chip,
 - durch Steigerung der Taktrate und
 - durch Fortschritte beim Hardware-Entwurf (Architektur, Mikroarchitektur und Entwurfswerkzeuge).



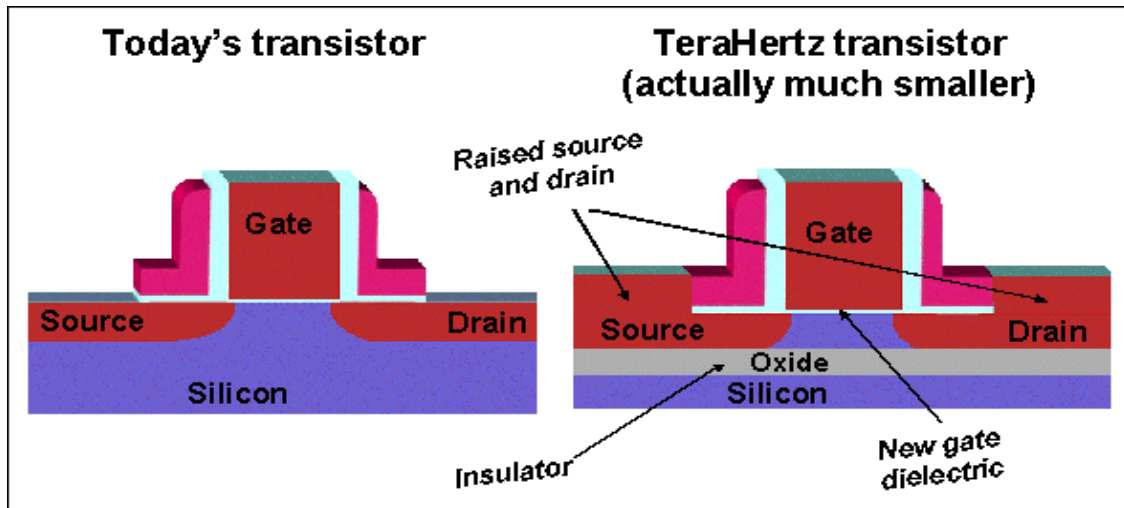
Intel Itanium 2 (Madison)

Beispiel: Terahertz-Transistor (Intel)

- Spitzen-Transitfrequenz: 2,63 THz, damit 0,38 ps Gatterverzögerung!

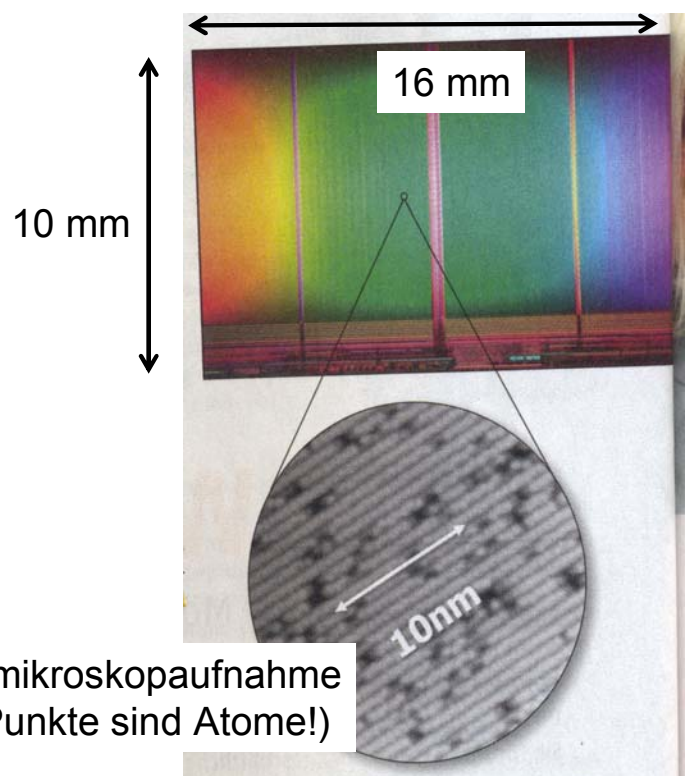
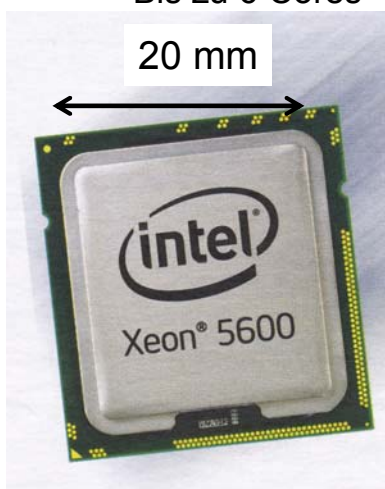
- Also nur noch 0,000 000 000 000 38 s ...
- Oder weniger als 76 μm Wegstrecke für elektromagnetische Wellen ...

Tera: 10^{12}
pico: 10^{-12}
micro: 10^{-6}



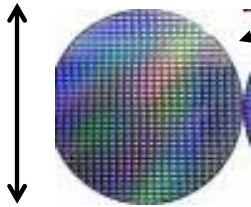
Schaltkreise, CPUs – Größenordnungen

- 25 nm NAND Speicherchips
 - 8 GByte Speicher mit 167 mm^2 Fläche
 - Stapelbar – seit Mitte 2010 möglich!
- Intels XEON 5600 Serie
 - 32 nm Technologie
 - Bis zu 6 Cores



Immersionolithographie

2-12 “

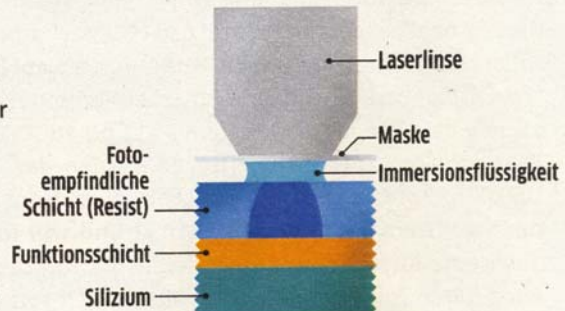


FERTIGUNG MIT IMMERSIONSLITHOGRAFIE

Die Schrumpfung auf 32 Nanometer große Fertigungsstrukturen wurde erst mit Einführung der Immersionolithografie möglich. Intel wird den Belichtungsprozess für die 22-Nanometer-Fertigung beibehalten

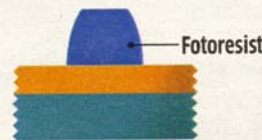
1. Belichtung

Ein mit einem Fotoresist beschichteter Wafer wird per Laser belichtet. Durch die Maske entsteht eine Chipstruktur, eine Immersionsflüssigkeit bricht das Licht in eine feinere Wellenlänge



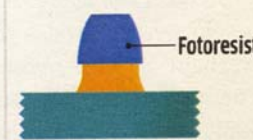
2. Entwicklung

Der unbelichtete Teil des Fotoresist wird entfernt



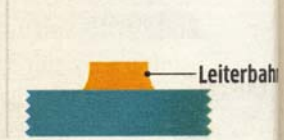
3. Ätzen

Ungeschützte Teile der Metallschicht werden weggeätzt



4. Resist-Stripping

Der Fotoresist wird von den fertigen Leiterbahnen entfernt

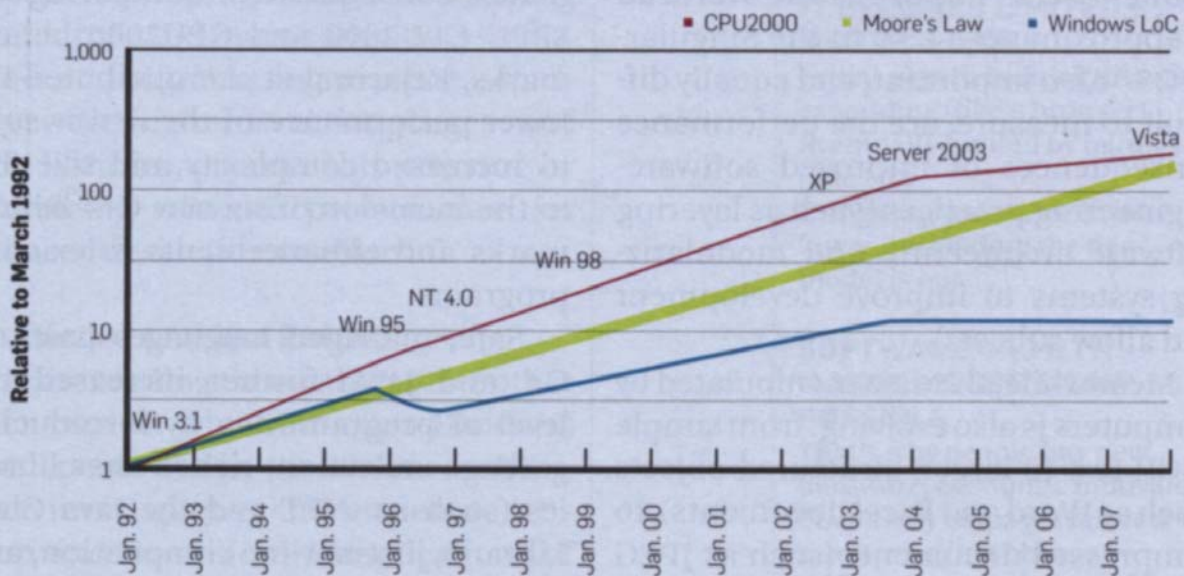


Exponentialgesetz der Mikroelektronik: „Moore'sches Gesetz“

- Die Anzahl der Transistoren pro (Prozessor-)Chip verdoppelt sich alle zwei Jahre.
- Die Verarbeitungsleistung der Hochleistungsprozessoren verdoppelt sich alle 18 Monate.
- Für den gleichen Preis liefert die Mikroelektronik die doppelte Leistung in weniger als zwei Jahren.
- Eine Chip-Fabrik stellt im Jahr 2002 die größte Einzelinvestition dar (10 Milliarden US-Dollar).
- Die Kooperation großer Firmen ist notwendig:
 - EUVLLC (extrem ultraviolet limited liability company) von AMD, Motorola und Intel.

Beispielanwendung „Moore’s Law“: Code

Figure 4: Windows code size (LoC) and Intel processor performance. Code size estimates are from various sources.¹³⁻¹⁵



Immer mehr Transistoren auf einem VLSI-Chip

- SIA 1997 Roadmap für Prozessoren:
 - SIA = American Semiconductor Industry
 - <http://public.itrs.net/>
 - <http://www.sematech.org/public/home.htm>

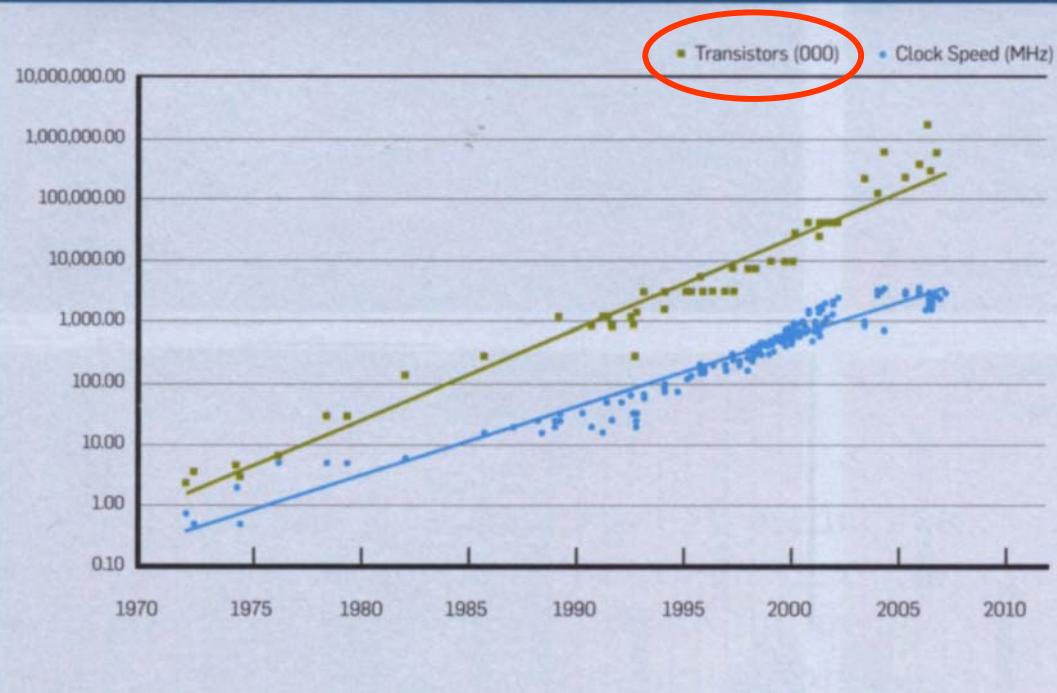
Year of 1 st shipment	1997	1999	2001	2003	2006	2009	2012
Local clock (GHz)	0.75	1.25	1.5	2.1	3.5	6	10
Across chip (GHz)	0.75	1.2	1.4	1.6	2	2.5	3
Chip size (mm ²)	300	340	385	430	520	620	750
Feature size (nm)	250	180	150	130	100	70	50
Number of chip I/O	1450	2000	2400	3000	4000	5400	7300
Transistors/chip	11M	21M	40M	76M	200M	520M	1.4G

...wurde schnell von der Realität überholt!

Prozessorentwicklungen — Beispiel: x86

Figure 2: Improvement in Intel x86 processors; data from Olukotun,¹⁸ Herb Sutter, a principal architect at Microsoft, and Intel.

1 Million



Beispiele bei Prozessoren

- ❑ AMD K6 II: 9,3 Mio Transistoren
- ❑ AMD K6 III: 21,3 Mio (inkl. 256 KB Level 2 Cache)
- ❑ AMD Athlon : 22 Mio

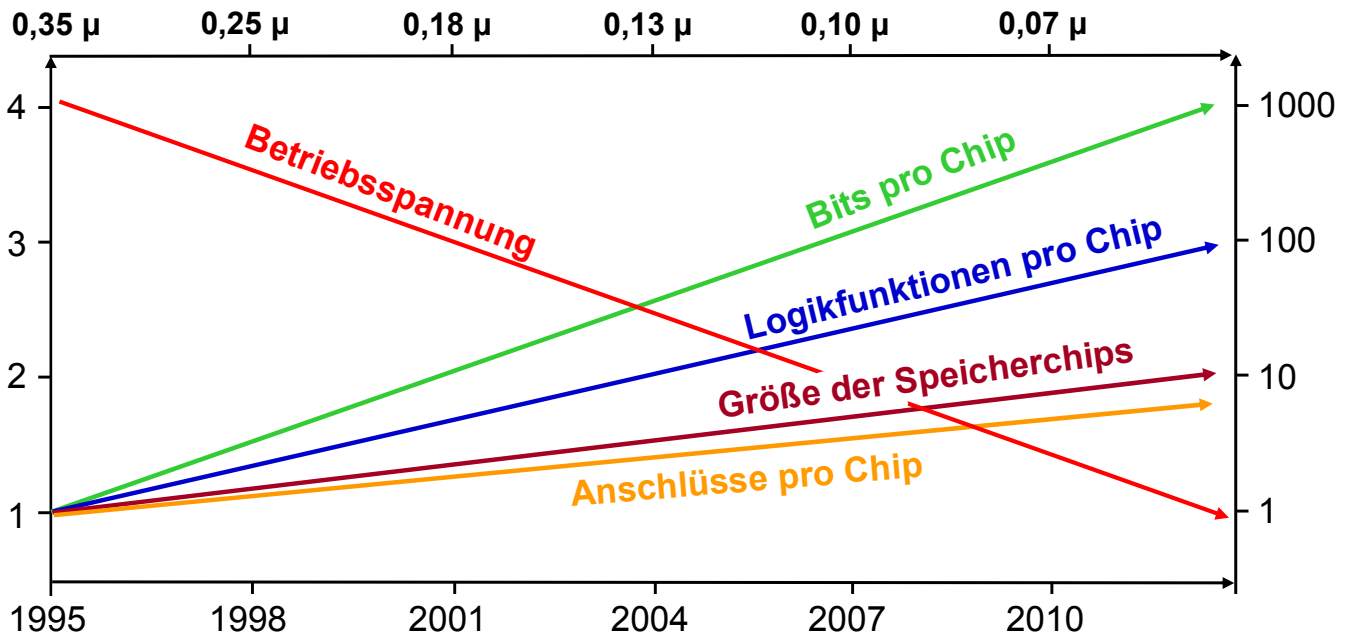
- ❑ Intel Pentium III: 9,5 Mio
- ❑ Intel Pentium III E: 28,1 Mio (inkl. 256 KB Level 2 Cache)
- ❑ Sun Ultra-Sparc III: 29 Mio, 900 MHz

- ❑ 2000: Intel Pentium 4: 55 Mio (inkl. L2)
- ❑ 2002: Intel Itanium 2: 410 Mio (inkl. L3)

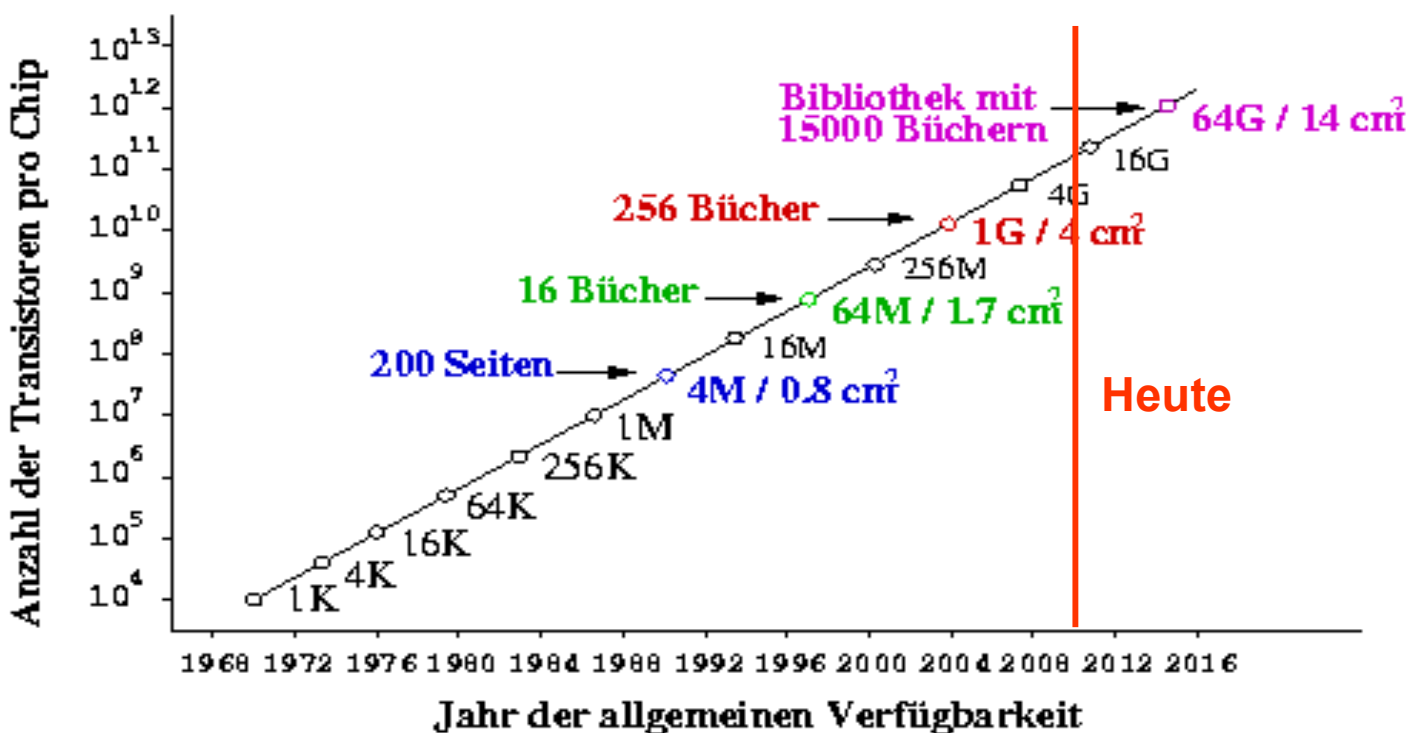
- ❑ 2008: AMD X3 8450: 758 Mio Kosten: ca. 50 US\$ pro Stück!
- ❑ 2010: Intel Xeon 5600: 2,3 Mrd Kosten: ca. 1500 US\$ pro Stück!

Mehr Leistung bei weniger Stromverbrauch

Strukturgrößen



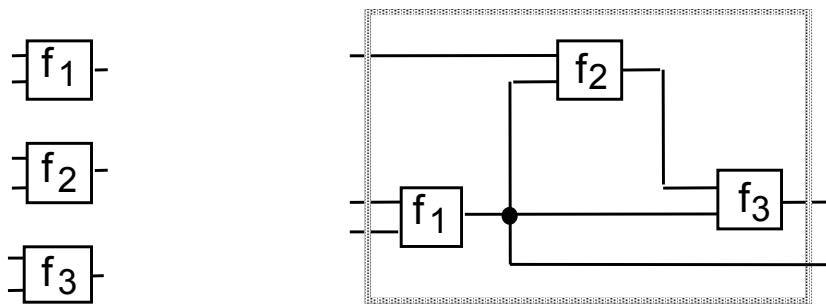
Verfügbarkeit von Speicherchips



Aufbau informationsverarbeitender Systeme (1)

□ Meist sehr komplexe Systeme:

- Vielzahl von Komponenten
- Komponenten sind untereinander verbunden (Struktur)
- Anwendung eines alten römischen Prinzips: „Teile und herrsche“!
-
- Gewünschtes Verhalten



Komponenten + Struktur = Gewünschtes Verhalten

Aufbau informationsverarbeitender Systeme (2)

□ Zwei wesentliche Aufgaben in der Informationstechnologie (IT) eines Informatikers/Ingenieurs/Systemarchitekten:

- Entwurf (Synthese) und Analyse

□ Hauptaufgabe des **Entwurfs**:

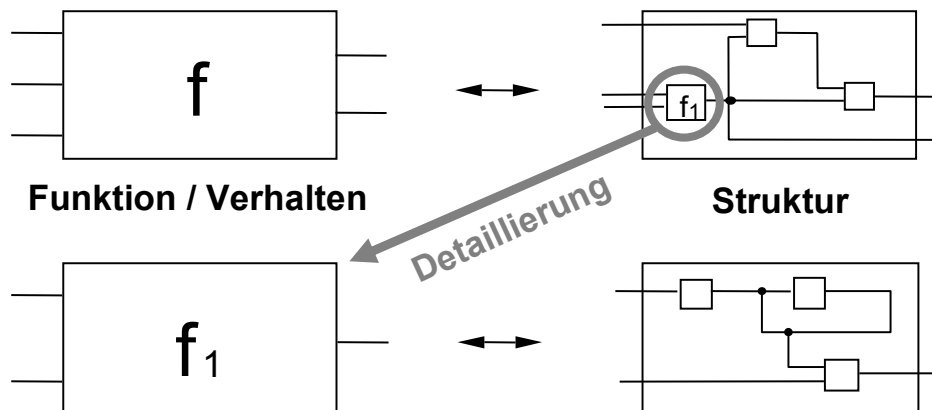
- Bestimmte Komponenten mit bekanntem Verhalten in einer Struktur so zu verbinden, daß das Gewünschte erhalten bleibt bzw. resultiert und die Kosten (interne und externe) möglichst gering sind
 - Intern: Chip-Fläche (Quart), Anzahl der E/A-Ports, ...
 - Extern: Energieeffizienz, CO₂ Fußabdruck, ...

□ Hauptaufgabe der **Analyse**:

- Vorhersage und Simulation des Verhaltens einer Struktur aus bekannten Komponenten

Aufbau informationsverarbeitender Systeme (3)

- Um die Komplexität beherrschen zu können, ist es notwendig, verschiedene Abstraktionsebenen einzuführen.



- Diese Hierarchisierung erleichtert sowohl den Entwurf als auch die Analyse

Vorgehensweisen beim Entwurf

- Zwei Extremstrategien:

- Top-down Entwurf:** Rekursive Zerlegung der Gesamtfunktion, bis alle Teilfunktionen durch bekannte Komponenten ausgeführt werden

- Bottom-up Entwurf** sukzessive Kombination von bekannten Elementen, bis das gewünschte Systemverhalten erreicht ist

